

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑫ 公開特許公報(A) 平4-88671

⑮ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑯ 公開 平成4年(1992)3月23日

H 01 L 27/112  
G 11 C 16/04

8831-4M H 01 L 27/10 4 3 3  
9191-5L G 11 C 17/00 3 0 5

審査請求 未請求 請求項の数 3 (全6頁)

⑰ 発明の名称 不揮発性半導体記憶装置

⑱ 特 願 平2-203556

⑲ 出 願 平2(1990)7月31日

⑳ 発 明 者 井 上 千 佳 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉑ 発 明 者 遠 藤 哲 郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉒ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 製造工程中に製造条件によってデータが固定的に書き込まれるMOSトランジスタ構造のメモリセルを持つ不揮発性半導体記憶装置であって、

メモリセルは、ゲート電極が一部ドレイン拡散層に重なる状態をなして、ドレイン拡散層が情報に応じて異なる不純物濃度に設定されており、かつ、

ゲート・ドレイン間に所定の電圧を印加したときのドレイン拡散層で生じるバンド間トンネリングによる電流を検出することにより情報読出しが行われる、ことを特徴とする不揮発性半導体記憶装置。

(2) メモリセルのドレイン拡散層の不純物濃度を三種以上に設定することにより、情報を多値構成としたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

(3) メモリセルが複数個ずつ直列接続されてNAND型セルアレイが構成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、MOSトランジスタ構造のメモリセルを持つ不揮発性半導体記憶装置に係り、特に製造工程中に製造条件によってデータが固定的に書き込まれる、いわゆるマスクROMに関する。

(従来の技術)

従来より、MOSトランジスタ構造のメモリセルを用いたマスクROMが広く用いられている。この種のマスクROMでは通常、ユーザーが指定したデータをマスクパターンにしてチャネルイオン注入を行い、情報“0”、“1”に対応してメモリセルをエンハンスメント(E)型またはデプレッション(D)型とすることで情報が固定的に書込まれる。データ読出しは、選択されたメモリセルのゲート、ソースを接地電位として、電流が流

れるか否かを検出することにより行われる。

この様な従来のマスクROMは、データを書き込んだ後にゲート絶縁膜形成、ゲート電極形成、層間絶縁膜形成、コンタクト孔形成、そして配線形成という工程を経て得られる。したがってデータ書込み後の時間が長く、ユーザーからの製造依頼を受けてから製品を完成するまでの時間(TAT)が長くかかるという問題があった。

また、チャネルイオン注入によりデータ書込みを行うマスクROMは、データをMOSトランジスタのしきい値電圧の差として記憶するものである。したがって多値構成を採ろうとすると、チャネルイオン注入量を三種以上に設定することになるが、この場合三種以上のしきい値電圧の違いを検出するにはセンス回路の構成が複雑になる。セル電流の大きさにより情報読出しを行おうとしても、セル電流の飽和値がチャネルイオン注入量によってほとんど変化しないため、多値構成を採用することが難しい。

#### (作用)

本発明によるマスクROMは、ドレイン拡散層の不純物濃度がデータになる。したがって、ユーザーからの依頼がある前にゲート電極までパターン形成した状態のウェハを用意しておくことができるから、従来のチャネルイオン注入方式に比べてデータ書込み後の工程が短くなり、TATの短縮が図られる。また、ドレイン拡散層のゲート電極と重なる領域表面で生じるバンド間トンネリングによる電流は、ドレイン拡散層濃度によって飽和値が大きく異なり、したがってセル電流を検出する方式で多値構成のマスクROMを容易に実現することができる。

#### (実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図(a)(b)(c)は一実施例のメモリセルを示す平面図とそのA-A'およびB-B'断面図である。p型シリコン基板1に通常のLOCOS法によりフィールド酸化膜2が形成され、素子領

(発明が解決しようとする課題)

以上のように従来のチャネルイオン注入によりデータ書込みを行うマスクROMは、データ書込み後の製造工程が長く、また多値構成を採用することが難しい、といった問題があった。

本発明はこの様な点に鑑みなされたもので、データ書込み後の製造工程が短縮され、データの多値構成の採用も容易であるマスクROMを提供することを目的とする。

#### [発明の構成]

(課題を解決するための手段)

本発明にかかるマスクROMは、ゲート電極が一部ドレイン拡散層に重なる状態をなして、かつドレイン拡散層が情報に応じて異なる不純物濃度に設定されたMOSトランジスタ構造のメモリセルを用いて構成され、ゲート・ドレイン間に所定の電圧を印加したときのドレイン拡散層で生じるバンド間トンネリングによる電流を検出することにより情報読出しが行われることを特徴とする。

域にはバンチスルー防止用のp型拡散層層3が形成されている。素子領域表面には必要に応じてチャネルイオン注入が行われて、所定のしきい値を持つE型とされる。そして約100Åの熱酸化膜からなるゲート絶縁膜4を介してゲート電極5がパターン形成され、砒素のイオン注入によってドレイン、ソース拡散層61、62が形成されている。素子形成された基板上はCVD絶縁膜8により覆われ、これにコンタクト孔が開けられてA2配線9、10が形成されている。

ここで、ゲート電極4は、ドレイン、ソース拡散層6に対して一部重なるように形成されていることがメモリ動作原理上必要である。そしてドレイン、ソース拡散層6は、データ“0”、“1”に応じてその不純物濃度が異なる値に設定されている。例えば、データ“0”のメモリセルでは、ドレイン、ソース拡散層6の不純物濃度が $1 \times 10^{16}/\text{cm}^3$ に設定され、データ“1”のメモリセルではこれが $1 \times 10^{21}/\text{cm}^3$ に設定される。

第2図(a)~(d)は、メモリセルの具体的な製

造工程を示す。p型シリコン基板1にフィールド酸化膜を形成した後、バンチスルー防止用のp型拡散層3を形成する。さらに適当なE型のしきい値を得るために必要なチャネルイオン注入を行った後、ゲート絶縁膜4を形成し、この上にCVDにより多結晶シリコン膜5。を堆積する。堆積した多結晶シリコン膜5。には、POC<sub>2</sub>H<sub>5</sub>を用いてリンをドーブする(第2図(a))。ついでPEP工程を経て、多結晶シリコン膜5。をパターンニングしてゲート電極5を形成する(第2図(b))。ここまでは、ユーザーからの注文に先立って形成しておくことができる。

次に具体的な仕様に基づくデータ書き込み工程に入る。すなわちデータをマスクパターンにして、ドレイン、ソース拡散層6を形成する(第2図(c))。例えば、“0”データのマスクパターンを用いて、不純物濃度 $1 \times 10^{16}/\text{cm}^3$ の拡散層を形成し、これとは反転した“1”データのマスクパターンを用いて不純物濃度 $1 \times 10^{21}/\text{cm}^3$ の拡散層を形成する。

図示のようにビット線BLとワード線WLの交差位置に選択ゲートQ<sub>s</sub>を介して1個のメモリトランジスタQ<sub>m</sub>が配置されてメモリセルが構成される。データ読出し時、 $V_G = V_D = 0\text{V}$ とし、ビット線BLに7V、ワード線WLに0Vを印加して電流を検出することにより、データ“0”または“1”が読み出される。

以上のようにこの実施例によるマスクROMは、ドレイン拡散層の不純物濃度の相違をデータとして記憶する。したがってデータ書き込み前にゲート電極までパターン形成しておくことができるから、データ書き込み後の工程が従来のマスクROMに比べて短縮され、短いTATで製品を供給することができる。

上記実施例からも明らかなように、本発明で利用するバンド間トンネリングによる電流は、ドレイン拡散層の不純物濃度によって大きく変わる。従ってドレイン拡散層の不純物濃度を3種以上に設定することによって、容易に3値以上の多値データの記憶ができる。具体的に4値の場合を説明

その後通常のMOSプロセスと同様に、CVD絶縁膜8を堆積し、コンタクト孔を開けてA<sub>1</sub>配線9、10を形成する(第2図(d))。

第3図は、この実施例によるメモリセルの特性を示す。メモリセルのゲートおよびソースを接地して、ドレインに正電位を与えると、ゲート電極と重なるドレイン拡散層表面部でバンド間トンネリングによる電流が流れる。この電流は、ドレイン拡散層の不純物濃度によって異なり、ドレイン拡散層の表面不純物濃度が $1 \times 10^{16}/\text{cm}^3$ であるデータ“0”のメモリセルと、 $1 \times 10^{21}/\text{cm}^3$ であるデータ“1”のメモリセルとは、それぞれ図のような電圧・電流特性となる。例えば、ドレイン電圧7Vの点で見ると、検出される電流は、“0”の場合 $1 \times 10^{-13}\text{A}$ であるのに対し、“1”の場合 $1 \times 10^{-9}\text{A}$ となる。したがってこの電流値の相違により容易に“0”、“1”の判別ができる。

第4図は具体的にこの実施例のマスクROMのセルアレイをNOR型とした場合の等価回路であ

する。ドレイン拡散層の不純物濃度は、4値データ“0”、“1”、“3”および“4”に対して例えば次のように設定する。

“0”	$1 \times 10^{16}/\text{cm}^3$
“1”	$1 \times 10^{18}/\text{cm}^3$
“3”	$1 \times 10^{20}/\text{cm}^3$
“4”	$1 \times 10^{21}/\text{cm}^3$

ゲート絶縁膜は先の実施例と同様、100Åの熱酸化膜とする。このとき各データに対応するメモリセルのドレイン電圧と電流の関係は、第5図のようになる。すなわち、ドレイン電圧 $V_D = 7\text{V}$ の点で見ると、電流は各データに応じて次のような値を示す。

“0”	$1 \times 10^{-12}\text{A}$
“1”	$1 \times 10^{-11}\text{A}$
“3”	$1 \times 10^{-10}\text{A}$
“4”	$1 \times 10^{-9}\text{A}$

したがって、メモリセルの特性上のばらつきを考慮しても、4値データの判別は十分に可能である。

本発明はNAND型セルを構成した場合にも適用することができる。その実施例を次に説明する。

第6図は3NAND型セルを構成した実施例の平面図であり、第7図はそのA-A'断面図である。先の実施例と対応する部分には先の実施例と同一符号を付して詳細な説明は省く。3個のメモリトランジスタ $Q_{M1}$ 、 $Q_{M2}$ 、 $Q_{M3}$ がソース、ドレインを隣接するもの同士で共用する形で直列接続され、その両端部に選択ゲート $Q_{S1}$ 、 $Q_{S2}$ を設けて、NANDセルが構成されている。ここでメモリトランジスタ $Q_{M1} \sim Q_{M3}$ はそれぞれドレインとなる拡散層がデータに応じて異なる不純物濃度に設定されて、所望のデータパターンが書かれている。

第8図はこのNAND型セルの等価回路であり、メモリトランジスタ $Q_{M3}$ のデータを読む場合の各部の電位関係を示してある。すなわち選択ゲート $Q_{S1}$ 、 $Q_{S2}$ および非選択のメモリトランジスタ $Q_{M1}$ 、 $Q_{M2}$ にはこれらをすべてオン状態とするバイアスを印加し、選択されたメモリトランジスタ

$Q_{M3}$ のゲートを0Vとして電流を検出することにより、先の実施例と同様に“0”、“1”の判別が行われる。

なお実施例ではメモリセルのゲートに“L”レベル(0V)、ドレインに“H”レベル(7V)を印加して読出しを行ったが、別の電圧モードたとえば、ゲートに負の電圧(例えば-2V)、ドレインに正の電圧(例えば5V)を印加することにより、同様に読出しが可能である。

#### 〔発明の効果〕

以上述べたように本発明によれば、ゲート電極とドレイン拡散層に重なりがあるMOSトランジスタでのドレイン拡散層表面部でのバンド間トンネリングによる電流をデータとすることにより、データ書き込み後の工程が短縮でき、しかもドレイン拡散層の不純物濃度を変化させることによって容易に多値構成とすることができるマスクROMを提供することができる。

#### 4. 図面の簡単な説明

第1図(a)、(b)、(c)は本発明の一実施例の

マスクROMの要部平面図とそのA-A'およびB-B'断面図、

第2図(a)～(d)はその製造工程を示す断面図、

第3図はそのメモリセルの特性を示す図、

第4図はNOR型のメモリセルの等価回路図、

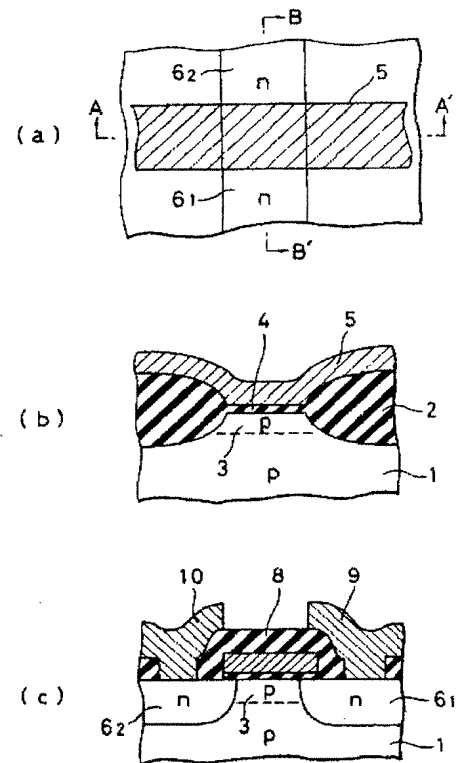
第5図は多値構成とした実施例のメモリセルの特性を示す図、

第6図はNAND構成とした実施例のマスクROMの平面図、

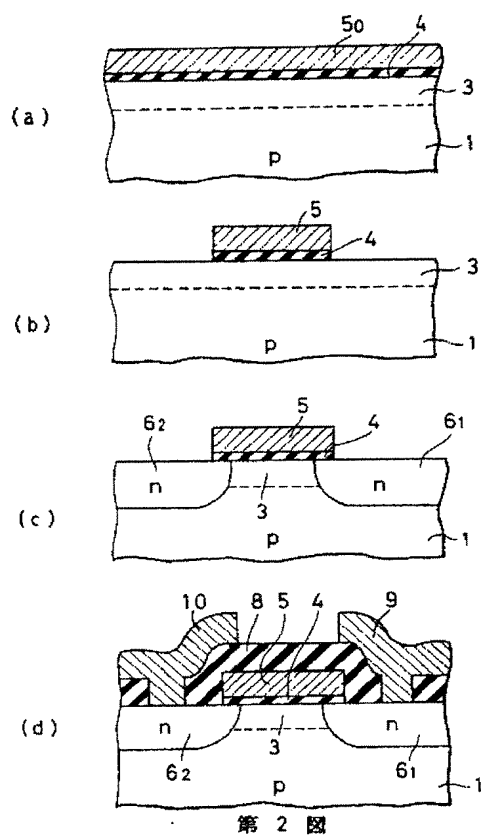
第7図は第6図のA-A'断面図、

第8図はNAND型セルの等価回路図である。

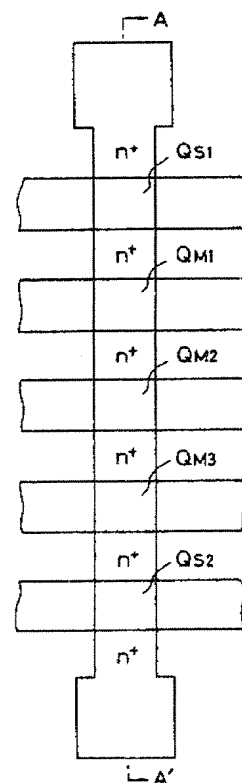
1…p型シリコン基板、2…フィールド絶縁膜、3…p型層、4…ゲート絶縁膜、5…ゲート電極、6…ドレイン、ソース拡散層、8…CVD絶縁膜、9、10…配線、 $Q_M$ …メモリトランジスタ、 $Q_S$ …選択ゲート。



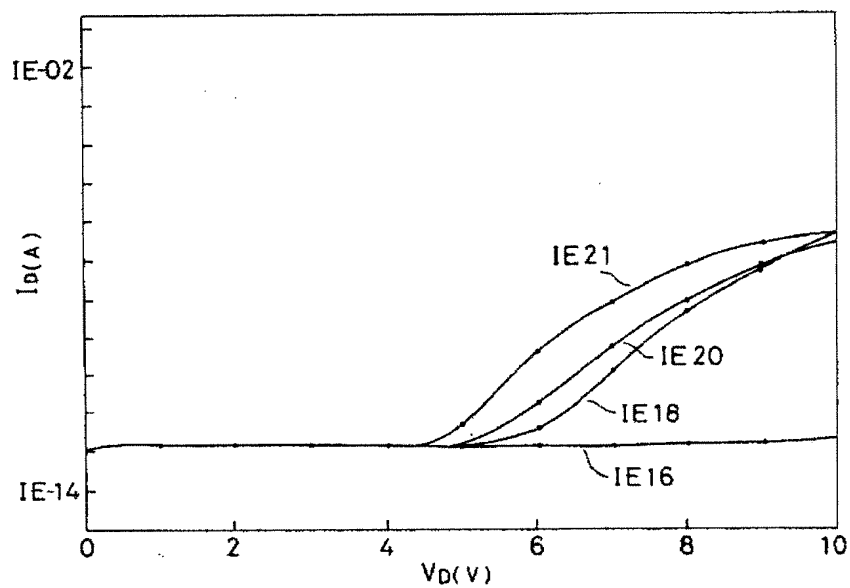
第1図



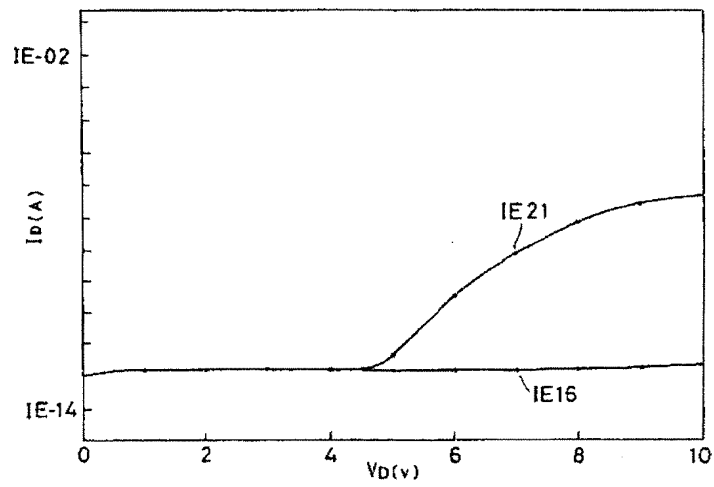
第 2 図



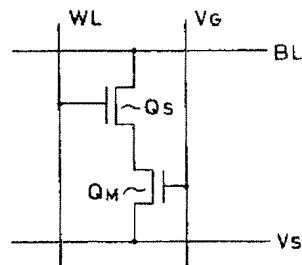
第 6 図



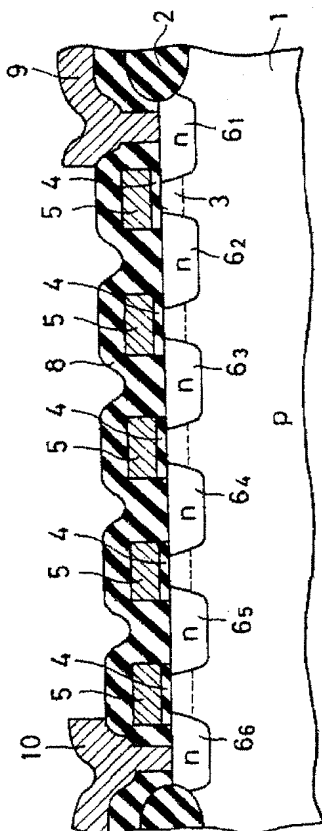
第 5 図



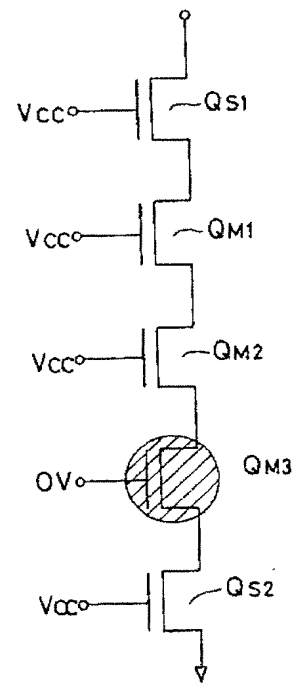
第 3 図



第 4 図



第 7 図



第 8 図